

アナログ集積回路設計 技術習得に向けて

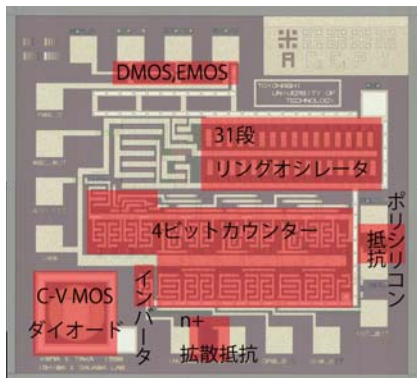
電子機器・ガラス機器開発技術班 内山 功一

電子機器開発技術係では、日々進歩する電子回路技術に対応できるよう常に心がけています。現在はアナログ集積回路設計技術、プログラブル論理素子によるカスタムIC設計技術、ワンチップマイコンを利用した組み込み制御回路技術、LANやUSBなどのインターフェース技術などに重点を置き技術の向上に努めています。その中でアナログ集積回路設計技術の習得の取り組みについて紹介します。この取り組みを始めたきっかけは、装置開発室室長である生体分子情報部門の宇理須教授が提唱するバイオチップを開発するために、デジタル・アナログ回路の集積化が必要な技術であったためです。また最近になってCMOSアナログ回路設計の技術情報が豊富になってきたことと、LSI試作サービスへのアクセスが比較的容易になったこともあげられます。この時点でスタッフ全員が半導体設計の経験もなく、半導体プロセスについてもよく理解していない、そんな状態からのスタートとなりました。

まず集積回路の試作についてですが、これは東京大学の大規模集積システム設計教育センター（VLSI Design and Education Center、以下VDEC）を利用して行うことにしました。VDECは、日本の国公立大学と工業高等専門学校におけるVLSI設計教育の充実と研究活動の推進のために発足された全国共同利用施設で、Cadence、Synopsys、Mentor Graphics社をはじめとする多くのEDA/CADベンダの最新設計ツールが無料で利用することができます。またVDECは、各チップベンダと提携してLSIの試作サービスも行っています。早速、開発環境を整えるべく専用のマシンを用意す

ることになりました。ここで問題になったのが設計を行うマシンのOSが不慣れなLinuxを選択しなければならないということでした。VDECで用意されているツール群は、基本的にUNIXベースで動作するものであったため、この選択は必須でした。そこで我々はPCにプリンストールされているLinux OSで入手しやすいRed Hat Linux Enterprise 5を導入することにしました。ここから設計環境の構築を行ったわけですが、先程申し上げたとおりスタッフ全員Linuxに不慣れなこともあってなかなかスムーズに作業を進めることができませんでした。中でも到底対処することができないクリティカルなトラブルは、その都度Linuxに詳しい計算科学研究センターの岩橋技術職員に装置開発室まで出向いていただき手助けをお願いしていました。

開発環境をなんとか整えることができたので、実際にLSI設計作業をどのように進めるかを理解するため、スタッフ全員でVDEC主催のトランジスタレベル設計講習会を受講することにしました。この講習会ではアナログ集積回路を設計し、VDECの試作サービスにデータを提出するまでの手順とその方法を理解することができました。この講習会の冒頭、MOSFETのレイアウト図を指し示して講師が「この絵を見てNMOSだとわかる人は手を挙げてください」との質問に「え、あれがNMOSなの？」と頭上に来るで漫画のようにクエスチョンマークがいくつも浮かんでしまいました。本当に自分が素人であるのだなと痛感したのを覚えています。他のスタッフも同じ思いだったようで、もう少し半導体プロセスや設計について学習する必要があると判

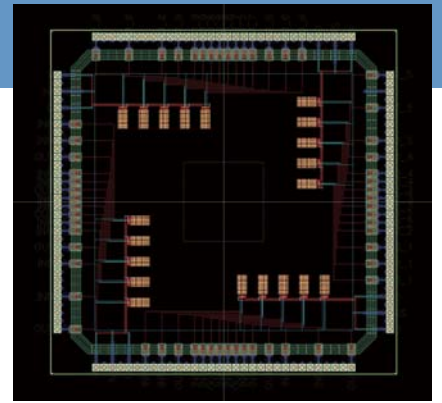


上：集積回路技術講習会実習作業風景
(手前：手老前助教、奥：筆者)
下：実習で製作したTEGチップ

断し週一回のペースで勉強会を行うことにしました。この勉強会は昨年の11月から開始して、教科書としては現在3冊目を継続して行っています。

VDEC講習会の内容がある程度理解できるようになった頃、宇理須教授の助力により豊橋技術科学大学のベンチャー・ビジネス・ラボラトリーが開催した第30回集積回路技術講習会を受講することができました。この講習会に参加することで、半導体プロセスについてより深く学べると期待してのことでした。参加者は例年20名前後らしいのですが、今年は続く不況の影響からか6名しかいませんでした。しかも内2名が分子研からの参加者（筆者自身と宇理須グループの手老助教）でした。講習会は6日間の日程で行われたので、製造に数ヶ月かかるCMOSプロセスではなくNMOSプロセスの実習が行われました。NMOSプロセスでも完成までに一週間近く時間がかかるため、講習会のほとんどの

設計した試作オペアンプレイアウト図



時間はクリーンルームでのNMOSプロセス実習作業を行っていました。実習で製作するチップはTEG (Test Element Group) と呼ばれるもので、LSIチップの特性評価用としてそのLSIで使用されている素子や要素回路を集めたものです。内容としては、EMOS (エンハンスメント型MOSFET)、DMOS (デプレッション型MOSFET)、E/DMOSインバータ評価回路、31段リングオシレータ、4ビットカウンタ、ポリシリコン・n+拡散抵抗評価素子、C-V特性測定用MOSダイオードとなっています。NMOSプロセスの実習は、フォトリソグラフィ法を使ってシリコン基板にマスクパターンを生成することが主な作業になります。これ以外の工程、酸化膜生成やイオン拡散、アルミ配線蒸着等は、すでにセッティングされている装置で行うので、作業中にそれぞれの装置で何を行っているのかの説明を受けながら待つといった感じでした。酸化膜生成などの長い時間必要な作業中は、講義の時間に当てられていました。講義は、半導体デバイスの基礎、MOS集積回路の基礎と製造技術、最新の集積回路技術について受講しました。それぞれの講義の後半は講師である先生方の研究内容についての話があり、どの先生もこちらに時間を費やしたいのではないかとと思うほど熱心に説明をされていました。実習と講義以外にわずかな時間ですがCAD講習も行われました。ここで使われたCADは、VDECで提供さ

れているものと同じであったため短い時間であったにも関わらずとても参考になりました。参加人数が少なかつたため、施設見学の時も多くとっていただき、また従来行っていなかったLSIチップのパッケージング(ICパッケージとチップ間のボンディングを行い、回路素子として使用可能な状態)したものをいただくことができました。この講習会に参加できたことによって、LSIプロセスがどのような物なのかということが、より理解できるようになりました。

ここまでで試作設計を行う準備が整ったと判断し、アナログ集積回路の試作設計を行うことにしました。試作チップは、最初ということと設計締め切りまでの時間的猶予も無かつたことから、3種類の差動入力オペアンプを複数個実装することにしました。設計で行う作業はおおまかに、機能ブロック設計(今回はオペアンプ) > シミュレーション > レイアウト設計 > ルールチェックとなります。これらの工程はシミュレーション結果やルールチェックの結果により、途中でもその前の工程に戻ってやり直しを行う必要があります。実際に設計を進めていくと、オペアンプ回路の設計が不十分だったり、レイアウトルールがおかしかったりと様々な問題が発生しました。問題が発生したらその都度一つずつ問題を解決しながら作業を進めたため、設計デー

タの作成は締め切り日の直前までかかってしまいました。最終的に特性の違う3種類のオペアンプを合計20個集積したチップを試作することになりました。

この試作チップの納入は2011年2月予定のため、残念ながら原稿執筆時点で手元に届いていない状況です。本来なら試作チップが正しく動作するのか、特性はどうかかなどのテスト結果や実際に出来上がったチップやパッケージングされた写真などを掲載できればベストなのですがそこまでは無理でした。今後の予定としては、試作チップの評価テストを行うことと、次回の試作に向けての準備を行います。次の試作では、今回のような単純機能素子(オペアンプ)を複数個パッケージングしたものではなく、オペアンプとコンパレータを組み合わせたPWM回路のような複合機能のより実用的なLSIを設計したいと思っています。

今回のLSI試作に関しては、今年度の大峯所長奨励研究費にて行っております。最後になりましたが、今回集積回路設計技術習得の機会を与えていただいた方々や、LSI試作設計までに助力いただいた方々に感謝いたします。

技術職員
OBの今

岡田 則夫

国立天文台 先端技術センター 主任研究技師

みなさん、こんにちは、お変わりありませんか？

私は1977年10月から1994年3月まで17年ほど技術課に勤務しておりました。装置開発室にて旋盤やフライス盤を使って実験装置などを製作しておりました。現在は国立天文台(三鷹)

先端技術センターで天文機器開発(引き続き機械工作)をしています。天文台在籍もまもなく17年になろうとしていまして、あらためて年月の経過の速さに驚いております。天文台に移ってからも分子研の皆さんには、いろいろとお世話になっています。

特に装置開発室の皆さんには、天文台との共同開発研究や技術的な相談などで頻繁にお世話になっており、この場をお借りしてお礼申し上げます。

昨年、山手地区を訪れる機会があり、初めて建物の中に入ったのですが、その大きさにびっくりいたしました。愛